

## ⑫ 公開特許公報(A)

平2-134840

⑤ Int. Cl.<sup>5</sup>

H 01 L 21/66  
G 01 R 31/28  
H 01 L 21/82  
27/04

識別記号

A

庁内整理番号

7376-5F

⑬ 公開 平成2年(1990)5月23日

T

7514-5F

8526-5F

6912-2G

H 01 L 21/82

G 01 R 31/28

T

X

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑰ 特 願 昭63-289445

⑱ 出 願 昭63(1988)11月15日

⑲ 発 明 者 市 川 清 治 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 内 原 晋

## 明 細 書

発 明 の 名 称

半 導 体 装 置

特 許 請 求 の 範 囲

半導体チップに設けられた本来のボンディング・パッド以外に設けられかつ内部回路に接続しない少くとも二つの金属製パッドと、前記少くとも二つのパッドを直列に接続する溶断可能な導体パッドとを有することを特徴とする半導体装置。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は半導体装置に関する。

〔従来の技術〕

従来、半導体チップの電気的特性試験をする場合には、ウェーハ状態のときに、ウェーハをウェーハプロローバーに置いて電気的検査を行ない、不良と判定されたチップに対してはウェーハプロ

ローバーに連動したマーカーで不良品に打点していた。

〔発明が解決しようとする課題〕

上述した従来の半導体装置の電気的特性試験の良品・不良品判定結果は、不良品にマーカーで打点することによって識別するようになっているので、マーカー屑が発生し、後工程の歩留を低下させるという欠点がある。

〔課題を解決するための手段〕

本発明の半導体装置は、半導体チップに設けられた本来のボンディング・パッド以外に設けられかつ内部回路に接続しない少くとも二つの金属製パッドと、前記少くとも二つのパッドを直列に接続する溶断可能な導体パッドとを有する。

〔実施例〕

第1図は本発明の第1の実施例の平面図である。

半導体チップ1には本来のパッド2の他に、本発明による付加パッド3と、二つの付加パッド3を結ぶ配線4とが設けられる。

ウェーハローバーにて試験結果、不良と判定された半導体チップに対しては二つの付加パッド間に電流を流して配線4を溶断する。良品の場合は電流は流さない。

第2図は溶断された配線状態を示す平面図である。

このように配線4が溶断されているか、いないかによって不良品か良品かを識別することができる。

この実施例とは逆に、良品の場合に配線4を溶断し、不良品の場合は溶断しないというようにしても良い。

付加パッド3とこれに接続する配線4は、試験結果を半導体チップ上に識別マークとして付加するものであり、チップ内の内部回路には接続しておらず、内部回路には全く影響を与えない。

第3図は本発明の第2の実施例の平面図、第4図は第3図に示した付加パッドと配線の溶断例を示す平面図である。

この実施例は、付加パッドを3個設け、配線4

で直列に接続したものである。

第4図(a)～(c)に示すように、配線4は3種類の切断をすることができ、これにより、3種の項目A、B、Cに区分することができ、どの項目で不良であったかを識別することができる利点がある。

〔発明の効果〕

以上説明したように、本発明は、半導体チップに少なくとも二つの付加のパッドとこの付加パッドを接続する配線とを設け、チップの良、不良に対して配線を溶断または不溶断で区別するようにしたので、マーカー層による後工程での歩留の低下を防ぐことができ、また不良項目識別も可能となるという効果を有する。

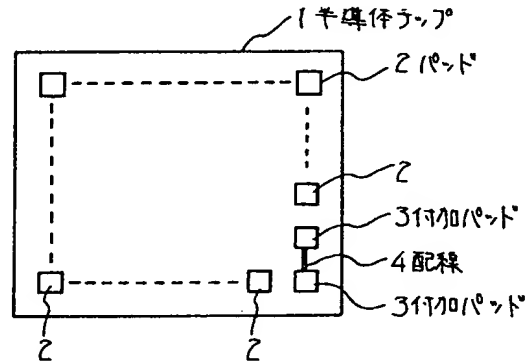
図面の簡単な説明

第1図は本発明の第1の実施例の平面図、第2図は第1図の付加パッドと配線の溶断状態を示す平面図、第3図は本発明の第2の実施例の平面図、第4図は第3図に示した付加パッドと配線の

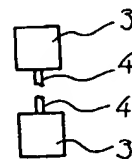
溶断例を示す平面図である。

1…半導体チップ、2…パッド、3…付加パッド、4…配線。

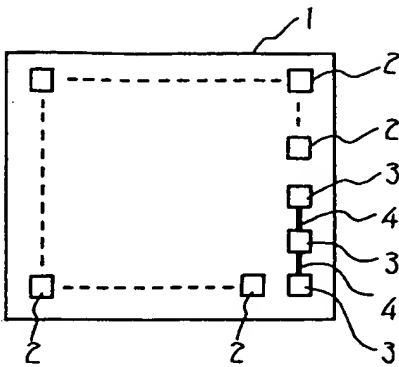
代理人 弁理士 内 原 晋



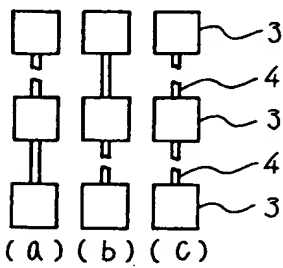
第1図



第2図



第 3 図



第 4 図

BEST AVAILABLE COPY

CLIPPEDIMAGE= JP402134840A

PAT-NO: JP402134840A

DOCUMENT-IDENTIFIER: JP 02134840 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: May 23, 1990

INVENTOR-INFORMATION:

NAME

ICHIKAWA, SEIJI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP63289445

APPL-DATE: November 15, 1988

INT-CL (IPC): H01L021/66;G01R031/28 ;H01L021/82 ;H01L027/04

ABSTRACT:

PURPOSE: To avoid the degradation of an yield in a process afterwards caused by marker scraps by a method wherein at least two metal pads which are not connected to an internal circuit and a fusible conductor wiring connecting those at least two pads to each other in series are provided on a semiconductor chip.

CONSTITUTION: At least two metal pads 3 which are provided in addition to intrinsic pads 2 provided on a semiconductor chip 1 and are not connected to an internal circuit and a fusible conductor wiring 4 connecting those at least two pads 3 to each other in series are provided. For instance, in addition to the intrinsic pads 2, the two additional pads 3 and the wiring

**BEST AVAILABLE COPY**

4 connecting the two pads 3 to each other are provided on the semiconductor chip 1. Then the semiconductor chip 1 is subjected to a test by a wafer prober and, as a result, if the chip is judged to be defective, the two additional pads 3 are electrified to fuse the wiring 4 and, if the chip is judged not to be defective, they are not electrified. With this constitution, the defective components and non-defective components can be discriminated from each other, depending upon whether the wiring 4 is fused or not.

COPYRIGHT: (C)1990, JPO&Japio

**TEST AVAILABLE COPY**